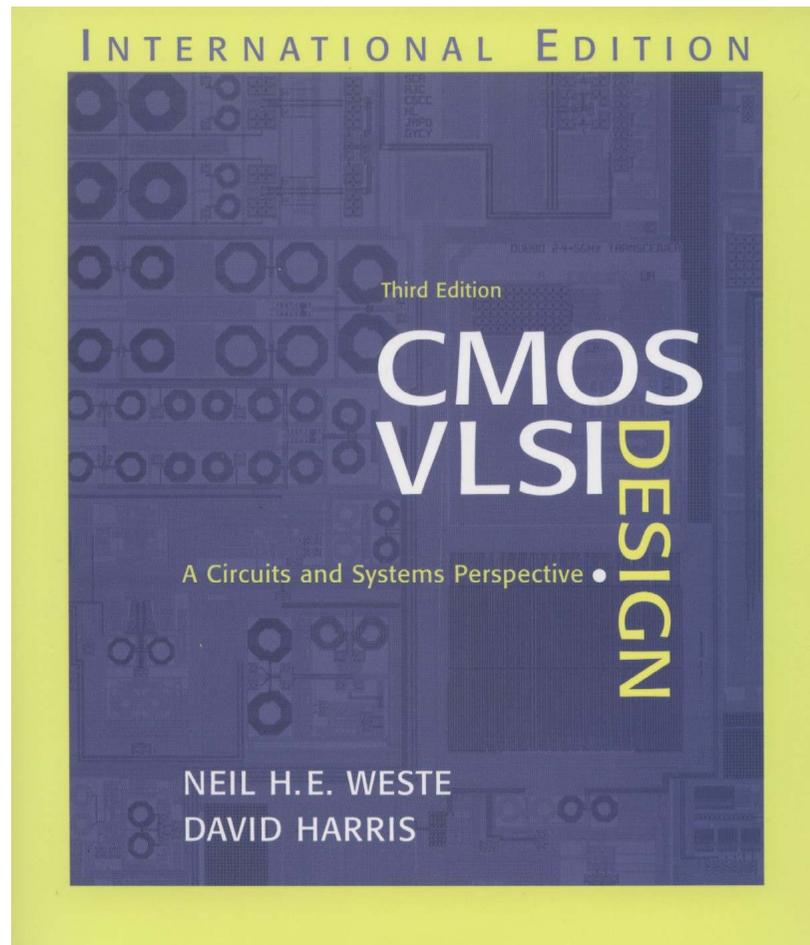


# ELEN037 – Microélectronique



H-M Nguyen et F. Senny  
Année académique 2008-2009

# Agenda

<b>Répétition</b>	<b>Date</b>	<b>Semaine</b>
« au menu » + FPGA	3/2	S1
(FPGA +) Logique CMOS	10/2	S2
Labo FPGA	17/2	S3
	24/2	S4
Labo Protel	3/3	S5
Courbe Ids(Vds) et transfert	10/3	S6
(visite fonderie UCL ?)	17/3	S7
	24/3	S8
Délai et effort de portes 1 niveau	31/3	S9
Délai et effort de portes à plusieurs niveaux, dimensionnement	21/4	S10
Puissance dissipée	28/4	S11
	6/5	S12

# Travail FPGA

- Par groupe de 3 étudiants
- Programmation en VHDL
- Analyse temps-réel de signaux physiologiques
- Matériels
  - Logiciel Altium Designer
  - Carte de développement FPGA
- Rapport final à rendre pour le 3 avril 2009
- Présentation pratique souhaitée

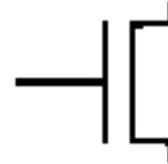
# Travail Spice

- Individuel
- Réaliser et expliquer une/plusieurs simulations d'un schéma ou méthode vu(e) au cours
- Simulation à réaliser sous Spice Student (*schematics* ou *capture* inutile, .cir directement)
- Sujet fourni fin-avril/début-mai
- Discussion à l'examen oral (juin)

# Chapitre 1 – Transistors MOS

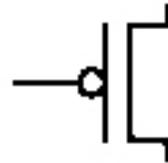
- nMOS

- bon niveau 0  $\Rightarrow$  **tire-bas**
- mauvais niveau 1 (= ?)



- pMOS

- bon niveau 1  $\Rightarrow$  **tire-haut**
- mauvais niveau 0 (= ?)



# Chapitre 1 – Logique CMOS

- Logique CMOS
  - réseau tire-haut pMOS
  - réseau tire-bas nMOS
  - réseaux **duals** l'un de l'autre
    - $A \leftrightarrow \text{not}[A]$
    - $\text{AND} \leftrightarrow \text{OR}$
- Fonctions élémentaires : AND, OR, INV

# Chapitre 1 – exercice 1.4

- Implémenter les fonctions suivantes en logique CMOS (1 étage)
  - $Y = \text{not}[A.B.C+D]$
  - $Y = \text{not}[(A.B+C).D]$
  - $Y = \text{not}[A.B+C.(A+B)]$

# Chapitre 1 – exercice 1.5

- Implémenter les fonctions suivantes en utilisant les portes logiques standards
  - $Y = A$  (buffer)
  - $Y = A \text{ XOR } B$
  - $Y = A \text{ NXOR } B$
  - $Y = AB + BC + AC$  (fonction « majorité »)

# Chapitre 1 – exercice 1.16

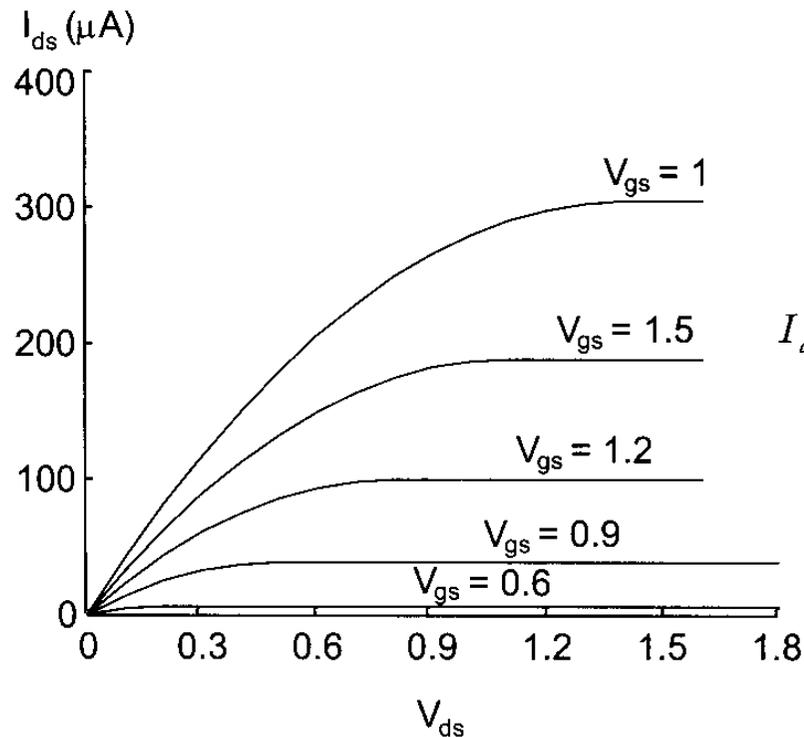
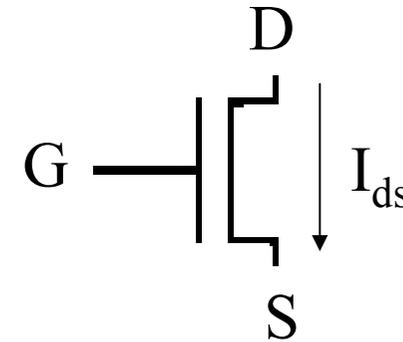
- Donner le schéma « transistor » d'une porte « minorité » à 3 entrées (le complément d'une fonction « majorité »)

# Chapitre 1 – exercice 1.17

- Implémenter une fonction minorité à 3 entrées à l'aide de NAND, NOR et INV
  - Combien de transistors faut-il ?
  - Comparer avec le nombre de transistors nécessaire à l'implémentation de l'exercice 1.16

# Chapitre 2 – $I_{ds}(V_{ds})$ idéal

- Caractéristique I(V)
  - Mode de fonctionnement



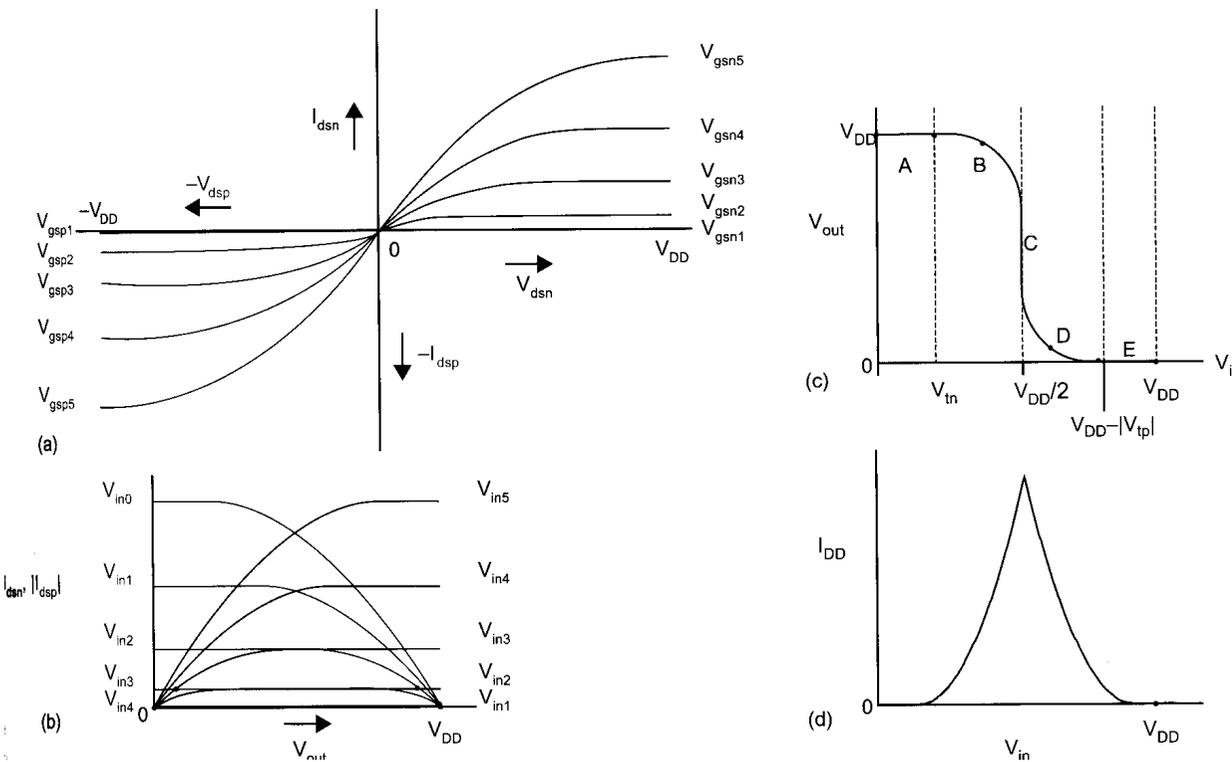
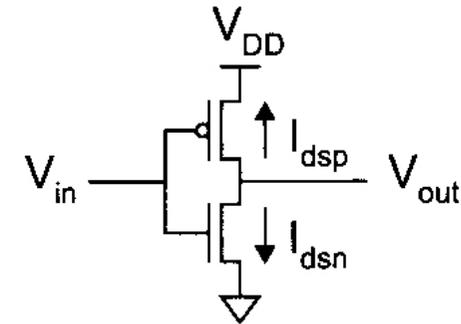
$$I_{ds} = \begin{cases} 0 & V_{gs} < V_t & \text{cutoff} \\ \beta \left( V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds} & V_{ds} < V_{dsat} & \text{linear} \\ \frac{\beta}{2} (V_{gs} - V_t)^2 & V_{ds} > V_{dsat} & \text{saturation} \end{cases}$$

# Chapitre 2 – $I_{ds}(V_{ds})$ réel

- Caractéristique  $I(V)$ 
  - Effets non-idéaux
    - Modulation de canal
    - conduction sous le seuil
    - Effet de substrat (body effect)
    - Effet tunnel
    - Effet de  $T^\circ$
    - Effet de géométrie
    - Fuite aux jonctions

# Chapitre 2 – $V_{out}(V_{in})$

- Fonction de transfert
  - Caractéristique d'un INV

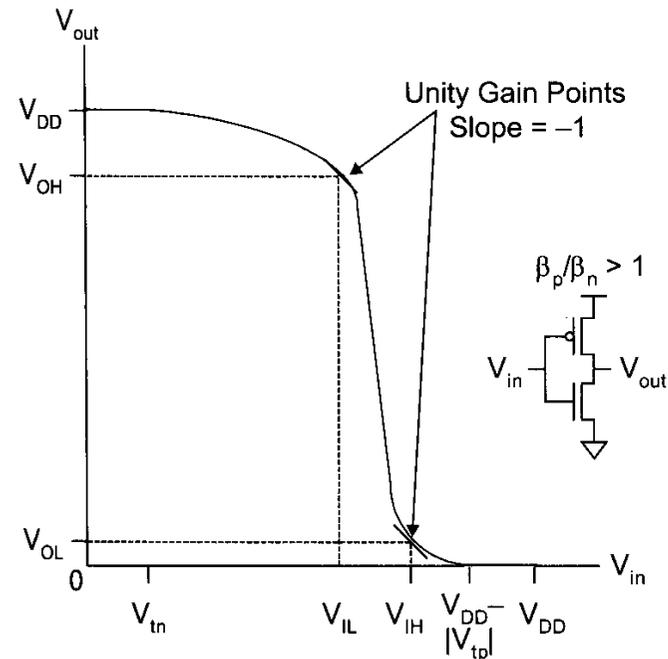
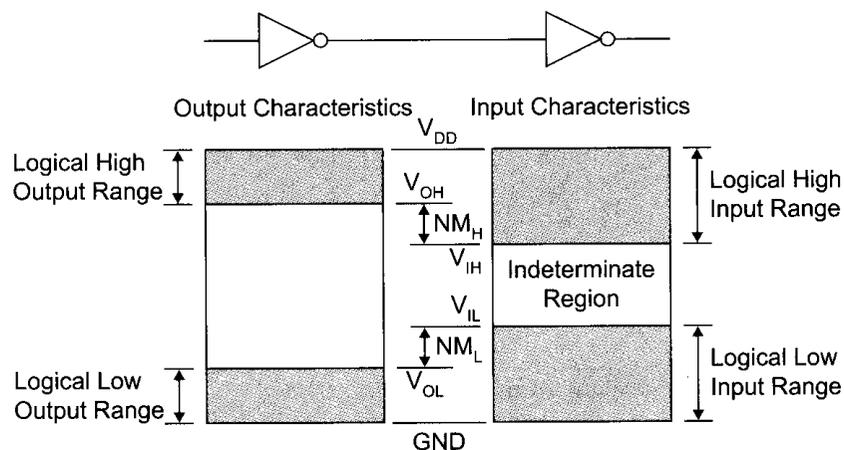


# Chapitre 2 – Marges de bruit

- Fonction de transfert

- Rapport  $\beta$  :  $\beta_p / \beta_n$

- Marges de bruit :  $NM_L$  et  $NM_H$

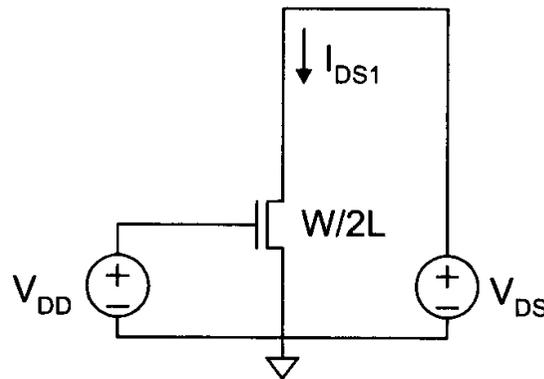


# Chapitre 2 – exercice 2.1

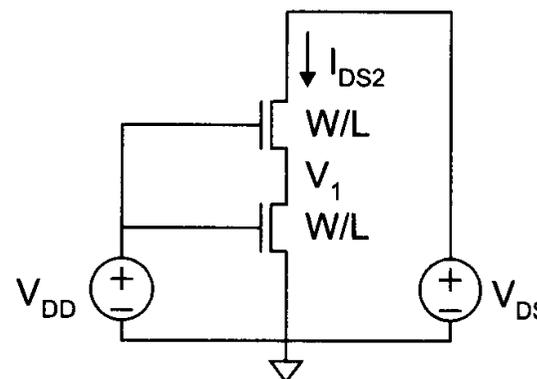
- Soit un nMOS (paramètres : process  $0.6\mu\text{m}$ ,  $W/L=4/2\lambda=1.2/0.6\mu\text{m}$ ,  $T_{\text{ox}}=100\text{ \AA}$ ,  $\mu_e=350\text{ cm}^2/\text{V}$ ,  $V_{\text{th}}=0.7\text{V}$ )
  - $I_{\text{ds}}(V_{\text{ds}}) = ?$  Pour  $V_{\text{gs}}=0,1,2,3,4,5\text{ V}$

# Chapitre 2 – exercice 2.2

- Montrer que le courant passant par 2 transistors vaut le courant passant par un transistor de largeur double (modèle Schockley). Montrer que  $I_{DS1} = I_{DS2}$  dans la région linéaire



(a)



(b)

## Chapitre 2 – exercice 2.3

- Que se passe-t-il si l'effet de substrat (body effect) est considéré ?  $I_{DS1} <?> I_{DS2}$

## Chapitre 2 – exercice 2.7

- L'effet de corps limite-t-il le nombre de transistors en série d'une porte CMOS à basse fréquence ?

## Chapitre 2 – exercice 2.8

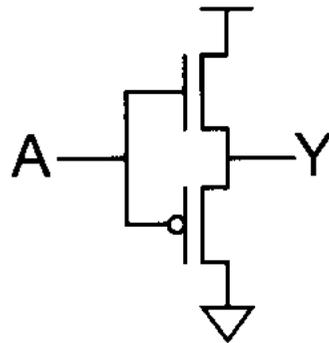
- Pour modifier la tension de seuil, on peut jouer sur le potentiel de substrat. Pour accroître la tension de seuil d'un nMOS, faut-il appliquer une tension positive ou négative au substrat ?

## Chapitre 2 – exercice 2.10

- Si  $T^\circ$  augmente, le courant d'un transistor passant augmente aussi ?
- Qu'en est-il du courant si le transistor est bloquant ?
- Un composant fonctionnera-t-il plus rapidement à haute  $T^\circ$  ?

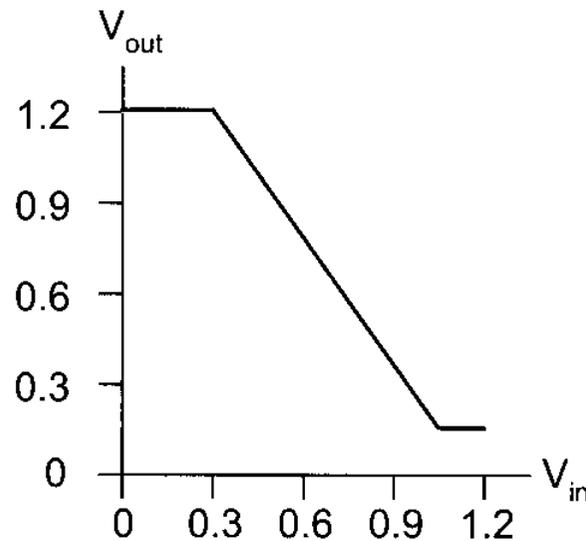
## Chapitre 2 – exercice 2.14

- Esquisser la fonction de transfert du buffer suivant. Pourquoi est-ce un mauvais circuit ?



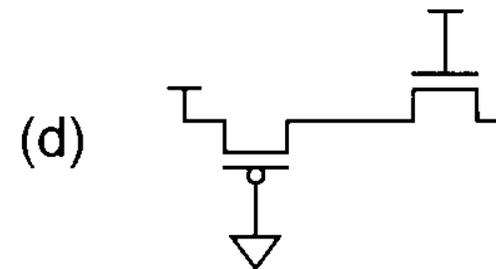
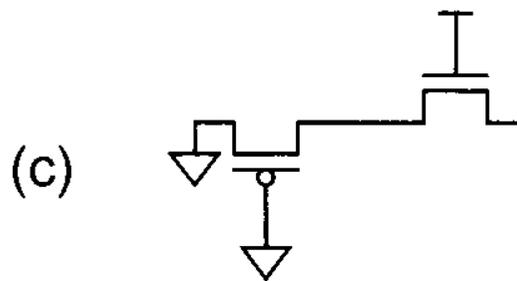
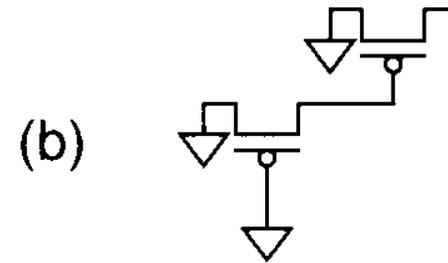
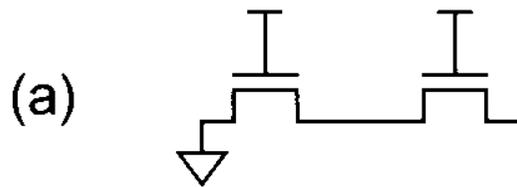
# Chapitre 2 – exercice 2.15

- Donner les caractéristiques  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$ ,  $V_{OH}$ ,  $NM_H$  et  $NM_L$  de la fonction de transfert suivante



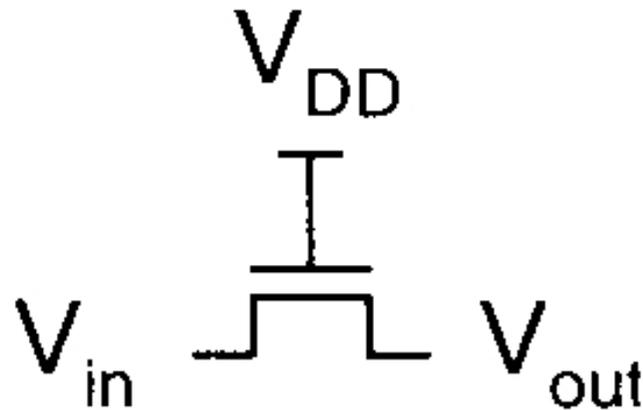
# Chapitre 2 – exercice 2.21

- Quelles sont les potentiels de sortie si l'effet de corps est négligé ?



# Chapitre 2 – exercice 2.22

- Que vaut  $V_{\text{out}}$  pour  $V_{\text{in}}=0\text{V}$ ,  $0.6\text{V}$ ,  $0.9\text{V}$  si  $V_{\text{DD}}=1.2\text{V}$ ,  $V_{\text{th}}=0.4\text{V}$  ?



# Chapitre 4 – Caractériser un circuit

- Caractériser un circuit par
  - simulations
  - modèles simples
- Que caractériser ?
  - délai, délai d'interconnexions, intégrité des signaux,
  - dissipation de puissance,
  - marges de bruit, fiabilité, mise à échelle

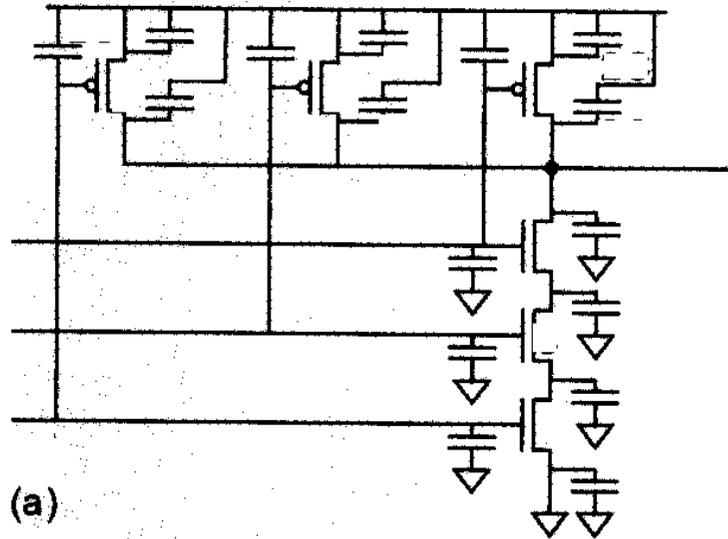
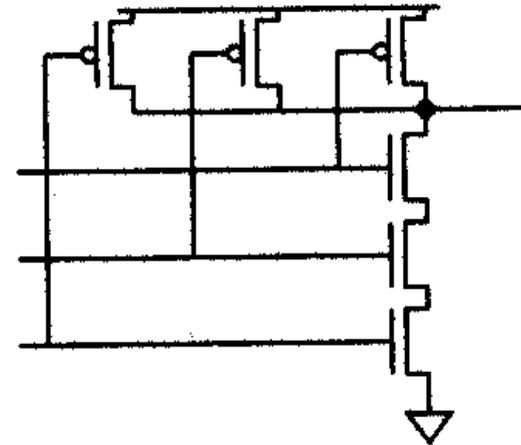
# Chapitre 4 – Délai (1)

- Délais par modèles RC

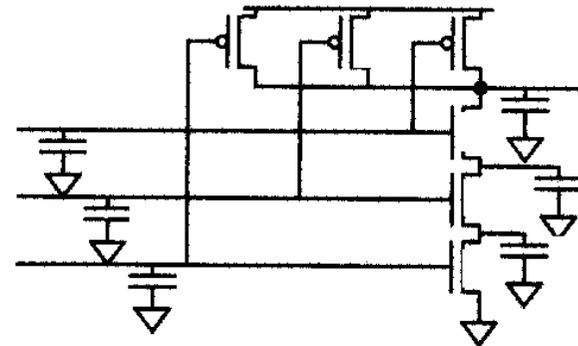
- R et C effective

- $R \propto 1/W$  et  $C \propto W$

- Ex : 3-IN NAND avec  $t_r \sim t_f$



(a)



(b)

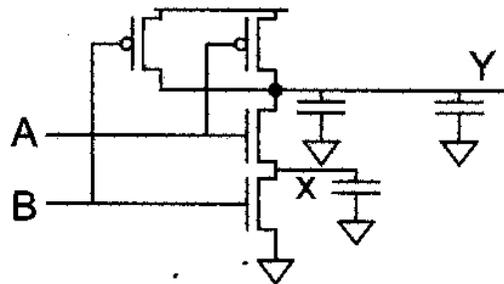
# Chapitre 4 – Délai (2)

- Délais par modèles RC

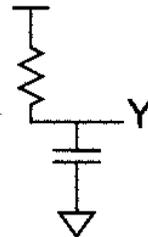
- Elmore

- $T_{pd} = \sum R_{n-i} C_i$

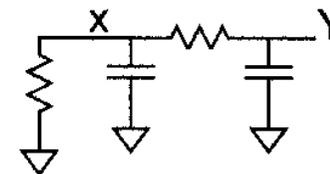
- Ex : 2-IN NAND avec  $t_r \sim t_f$



(a)



(b)



(c)

# Chapitre 4 – Délai (3)

## • Délais par modèles RC

### – Modèle linéaire

- $d = f + p = g \cdot h + p$

- $t_{pd} = d \cdot \tau$

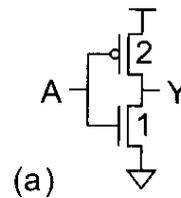
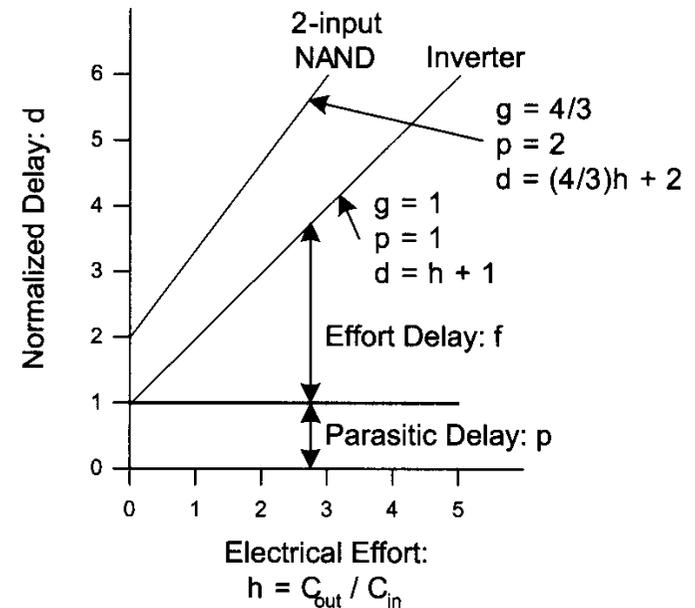
**d** : delai

**f** : effort

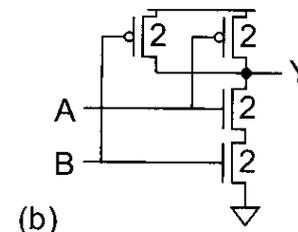
**p** : parasite (sans charge)

**g** : effort logique

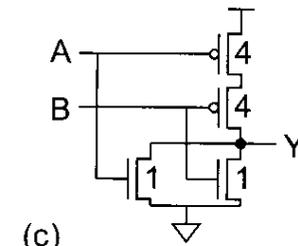
**h** : effort électrique



$C_{in} = 3$   
 $g = 3/3$



$C_{in} = 4$   
 $g = 4/3$



$C_{in} = 5$   
 $g = 5/3$

# Chapitre 4 – Délais normalisés

Type de porte	Nbre d'entrées				
	1	2	3	4	n
INV	1				
NAND		4/3	5/3	6/3	$(n+2)/3$
NOR		5/3	7/3	9/3	$(2n+1)/3$
Tristate, MUX	2	2	2	2	2
XOR, NXOR		4,4	6,12,6	8,16,16,8	

# Chapitre 4 – Effort logique (1)

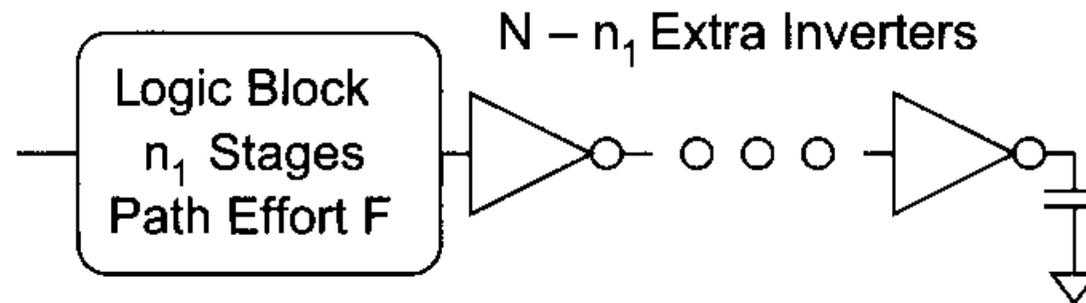
## Effort logique et dimensionnement

- Délai d'une porte :  $d = g \cdot h + p$  et  $t_{pd} = d \cdot \tau$
- Délai de plusieurs portes
  - $D = \Sigma d_i = D_F + P$   
avec  $D_F = \Sigma f_i$  et  $P = \Sigma p_i$
  - $F = \Pi f_i = \Pi g_i h_i$  ou  $F = GBH$   
avec  $G = \Pi g_i$ ,  $H = C_{out}/C_{in}$  ( $h_i = C_{out}(i)/C_{in}(i)$ ),  
 $B = \Pi b_i$  avec  $b_i = (C_{on} + C_{off})/C_{on}$  si branches
  - Condition pour minimiser D ?



# Chapitre 4 – Nombre d'étages (1)

- Choix du nombre d'étage



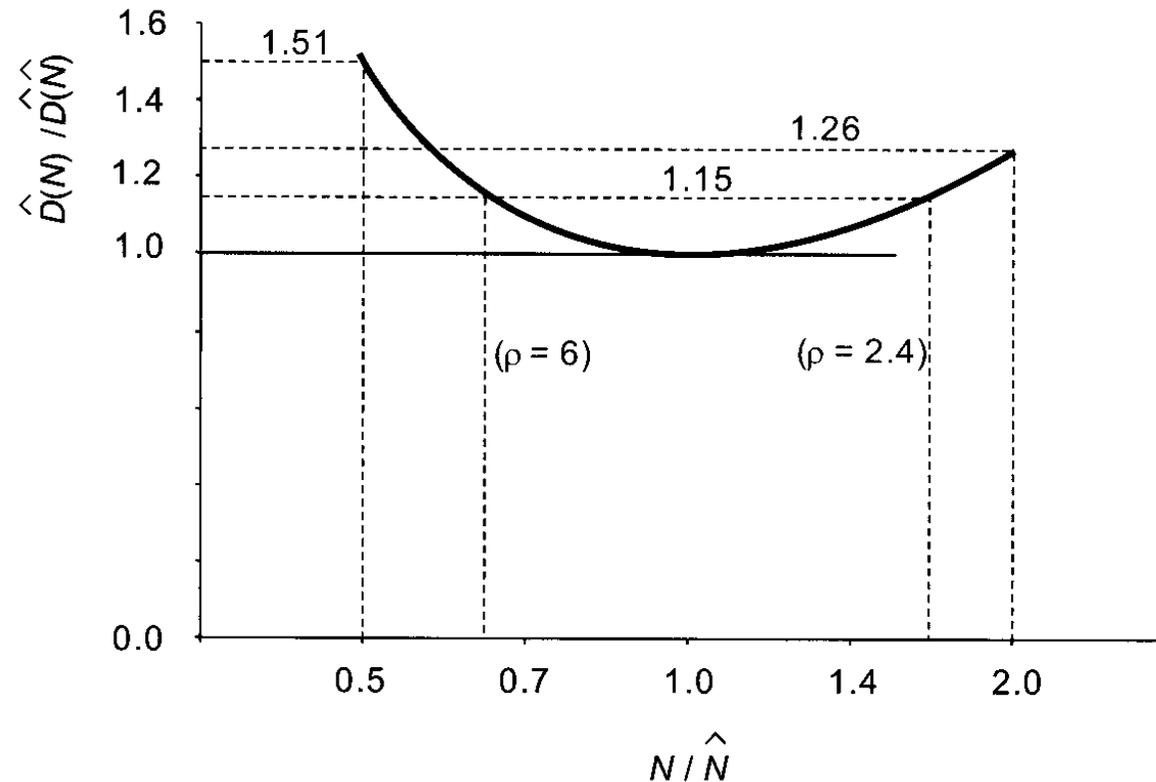
$$D = NF^{1/N} + \sum_{i=1}^{n_1} p_i + (N - n_1)p_{inv}$$

$$\frac{\partial}{\partial N} \text{ avec } \rho = F^{1/\hat{N}} \Rightarrow p_{inv} + \rho(1 - \ln \rho) = 0$$

$$\text{si } p_{inv} = 0 \Rightarrow \underline{\rho = e}, \text{ si } p_{inv} = 1 \Rightarrow \underline{\rho = 3.59}$$

# Chapitre 4 – Nombre d'étages (2)

- Sensibilité du délai face au nbre d'étages

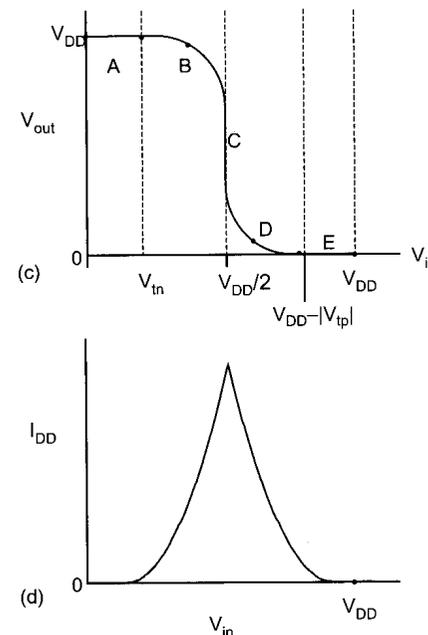
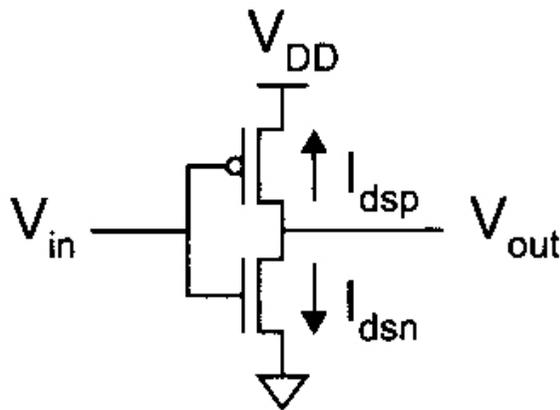


# Chapitre 4 – Puissance dissipée

- Statique
  - Conduction sous seuil
  - Courant (effet tunnel) à travers oxyde de gachette
  - Fuite des diodes
  - Courant de contention dans circuits (ratioed, pseudo-nMOS,...)

# Chapitre 4 – Puissance dissipée

- Dynamique :  $P_d = f_{sw} \cdot C \cdot V_{DD}^2$ 
  - capacité de la charge
  - « court-circuit » lorsque nMOS et pMOS conduisent en même temps



# Chapitre 4 – Puissance dissipée

- Que faire pour diminuer  $P$  ?

# Chapitre 4 – Exercice 4.1

- Calculer les délais d'une 2-IN NOR ( $t_f \sim t_r$ ) à l'aide du modèle d'Elmore si elle conduit  $h$  2-IN NOR identiques

## Chapitre 4 – Exercice 4.2

- Même énoncé que 4.1 mais 1 unité C entre 2 transistors //,  $\frac{1}{2}$  unité C entre 2 transistors série

# Chapitre 4 – Exercice 4.5

- Dessiner le graphe délai  $V_s$  effort électrique pour une 2-IN NOR. Comparer avec la 2-IN NAND.

# Chapitre 4 – Exercice 4.6

- Soit un 4xINV (4x + large qu'un INV), si un INV a  $C_{in}=3$  unités et  $p_{inv}$ 
  - $C_{in} (4xINV) = ?$
  - Effort logique  $g = ?$
  - Délai parasite  $p = ?$

# Chapitre 4 – Exercice 4.7

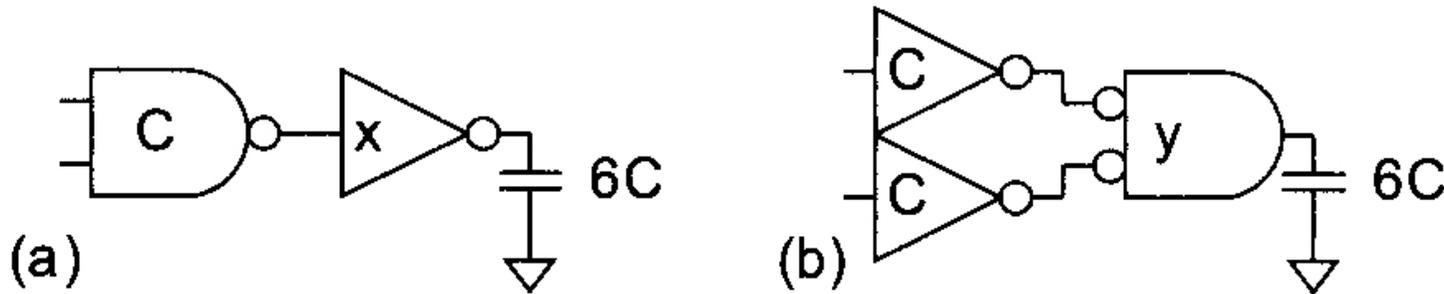
- Soit un chemin logique à 3 étages dont les efforts respectifs sont 12, 6 et 9 unités,
  - Peut-on améliorer le design ? Pourquoi ?
  - Quel est le meilleur nombre d'étages ?
  - Quels changements recommanderiez-vous ?

# Chapitre 4 – Exercice 4.9

- Montrer qu'une 4-IN NAND ( $t_f \sim t_r$ ) a un effort logique de 6/3

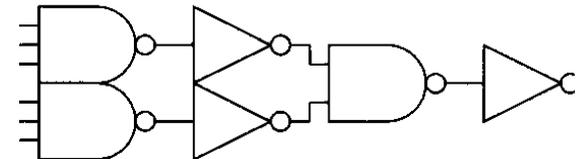
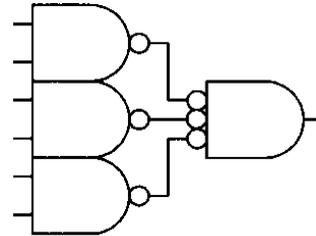
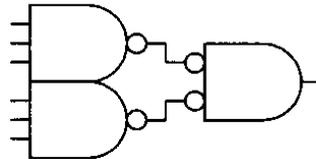
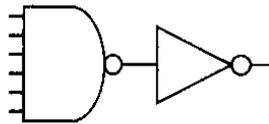
# Chapitre 4 – Exercice 4.10

- Déterminer le délai,  $x$  et  $y$  des 2 portes ci-dessous. Quel est le meilleur design ?



# Chapitre 4 – Exercice 4.11

- Déterminer le délai des 4 portes ci-dessous. Quel est le meilleur design ?



## Chapitre 4 – Exercice 4.24

- Une série d'INV de largeur croissante a pour charge une  $C_{out} \gg$ . Si  $C_{in}(INV1)=20\text{fF}$  et  $C_{out}=10\text{pF}$ , quel est le nombre optimal d'INV qui minimise le délai ? Exprimez-le en terme de délais INV-FO4.

## Chapitre 4 – Exercice 4.27

- Estimez la puissance consommée d'un chip (180nm process) où la surface vaut  $70\text{mm}^2$ ,  $f=450\text{MHz}$ ,  $V_{DD}=0.9\text{V}$ , facteur d'activité  $\alpha=0.1$ ,  $C_{sw}=150\text{pf/mm}^2$ .

## Chapitre 4 – Exercice 4.28

- Vous souhaitez réduire  $V_{DD}$  d'une porte CMOS pour consommer moins de puissance,  $V_t$  évoluera en conséquence. La  $P_{dyn}$   $\uparrow$  ou  $\downarrow$  ? Qu'en est-il de  $P_{stat}$  ?

# Chapitre 4 – Exercice 4.29

- Évaluez l'effet d'empilement dans le cas des fuites sous le seuil en comparant  $I_1$  et  $I_2$ . Les transistors sont supposés identiques,  $\gamma=0$  et  $n=1$ 
  - aucun DIBL ( $\eta=0$ ),  $I_2/I_1=1/2$
  - Si  $\eta \uparrow$ ,  $I_1 \downarrow$  ou  $\uparrow$  ?  $I_1 = ?$  si  $\eta=0.05$  et  $V_{DD}=1.8V$
  - Si  $\eta \uparrow$ ,  $I_2 \downarrow$  ou  $\uparrow$  ?  $I_2 = ?$  si  $\eta=0.05$  et  $V_{DD}=1.8V$
  - Résoudre  $I_2/I_1$  et  $x$  avec  $\Delta = \eta V_{DD}/v_T$  et  $\Delta \gg 1$
  - Expliquez pourquoi l'effet d'empilement est plus important pour des transistors ayant un DIBL  $\gg$